

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-4437

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/00	3 5 3 Q	7368-5B		
5/06	3 1 3	9189-5B		
12/16	3 1 0 D	7629-5B		
13/38	3 1 0 A	9072-5B		
		9299-5K		
		H 0 4 L 11/ 00	3 3 1	

審査請求 未請求 請求項の数5(全 18 頁) 最終頁に続く

(21)出願番号 特願平4-166117

(22)出願日 平成4年(1992)6月24日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 加藤 光幾

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 大菅 義之 (外1名)

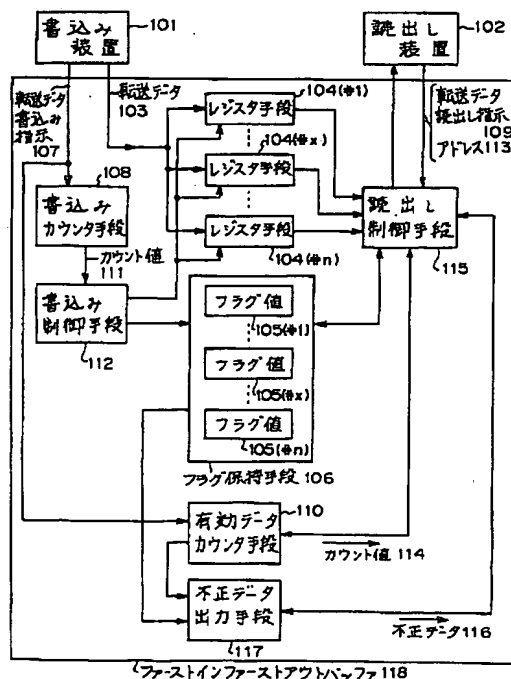
(54)【発明の名称】 エラー表示機能付きファーストインファーストアウトバッファ及びそれを使用した読出し装置の制御方法

(57)【要約】

【目的】 本発明は、互いに非同期に動作している装置間でデータの授受を行うために使用され内部の任意のレジスタを読出し側の装置がアクセスできる構造のFIFOにおいて、データエラーを検出可能とすることを目的とする。

【構成】 有効データカウンタ手段110は、レジスタ手段104への転送データ103の書き込み動作の毎にカウントアップされ、読出し動作の毎にカウントダウンされる。フラグ保持手段106が保持するフラグ値105は、転送データ103がそれに対応するレジスタ手段104に対して、書き込まれると第1の値にセットされ、逆に、読み出されると第2の値にセットされる。読出し装置102は、カウント値114又はフラグ値105によって、エラー発生を判別する。また、不正データ出力手段117は、不正アクセス時に不正データ116を読出し装置102に出力する。

本発明のブロック図



## 1

## 【特許請求の範囲】

【請求項1】 書込み装置（101）から読出し装置（102）へ転送される転送データ（103）を一時的に保持するファーストインファーストアウトバッファ（118）において、

前記転送データ（103）を複数組分一時保持する複数のレジスタ手段（104）と、

該複数のレジスタ手段（104）に対応する複数のフラグ値（105）を保持するフラグ保持手段（106）と、

前記書込み装置（101）からの転送データ書込み指示（107）に基づき順次連続的かつ循環的にカウント動作を行う書込みカウンタ手段（108）と、

前記転送データ書込み指示（107）に基づいて順次連続的にカウントアップ動作を行い、前記読出し装置（102）からの転送データ読出し指示（109）に基づいて順次連続的にカウントダウン動作を行い、前記レジスタ手段（104）の数（n）以上の値までカウント動作が可能な有効データカウンタ手段（110）と、

前記転送データ書込み指示（107）に基づいて、前記書込みカウンタ手段（108）が出力するカウント値

（111）に対応する前記レジスタ手段（104）に前記書込み装置（101）からの転送データ（103）を書き込むと共に、該レジスタ手段（104）に対応する前記フラグ保持手段（106）内のフラグ値（105）を第1の値に設定する書込み制御手段（112）と、前記読出し装置（102）から指定される前記読出し指示（109）及びアドレス（113）に基づいて、任意の前記レジスタ手段（104）の内容、前記有効データカウンタ手段（110）のカウント値（114）、又は前記フラグ保持手段（106）が保持する任意の前記フラグ値（105）を前記読出し装置（102）に出力すると共に、任意の前記レジスタ手段（104）の内容を出力した場合に該レジスタ手段（104）に対応する前記フラグ保持手段（106）内のフラグ値（105）を第2の値に設定する読出し制御手段（115）と、を有することを特徴とするエラー表示機能付きFIFO。

【請求項2】 前記有効データカウンタ手段（110）のカウント値（114）が前記レジスタ手段（104）の数を（n）越えているときに前記読出し装置（102）が前記レジスタ手段（104）の内容を読み出そうとした場合、又は前記読出し装置（102）が前記フラグ保持手段（106）に保持されている前記第2の値を有する前記フラグ値（105）に対応する前記レジスタ手段（104）の内容を読み出そうとした場合に、前記書込み装置（101）が前記転送データ（103）として出力しない不正データ（116）を前記読出し装置（102）に出力する不正データ出力手段（117）を更に有する、

## 2

ことを特徴とする請求項1に記載のエラー表示機能付きFIFO。

【請求項3】 前記不正データ出力手段（117）が出力する前記不正データ（116）を設定する不正データ設定手段を更に有する、

ことを特徴とする請求項2に記載のエラー表示機能付きFIFO。

【請求項4】 前記読出し装置（102）は、

前記ファーストインファーストアウトバッファ（118）内の任意の前記レジスタ手段（104）にアクセスし、

その結果として前記ファーストインファーストアウトバッファ（118）から出力される出力値が、前記不正データ（116）であるか否かを判別し、

前記出力値が前記不正データ（116）でなければ、前記出力値を前記書込み装置（101）からの前記転送データ（103）として受信し、

前記出力値が前記不正データ（116）であるならば、前記ファーストインファーストアウトバッファ（118）から前記有効データカウンタ手段（110）のカウント値（114）、又は前記フラグ保持手段（106）が保持する前記アクセス動作に対応する前記フラグ値（105）を読み出し、それらの読み出した値に基づいてエラー処理を行う、

ことを特徴とする請求項2又は3の何れか1項に記載のエラー表示機能付きファーストインファーストアウトバッファを使用した読出し装置の制御方法。

【請求項5】 前記読出し装置（102）は、

前記ファーストインファーストアウトバッファ（118）から前記フラグ保持手段（106）に保持されている任意の前記フラグ値（105）を読み出し、

該フラグ値（105）が前記第1の値を有する場合に、前記ファーストインファーストアウトバッファ（118）から前記第1の値を有する前記フラグ値（105）に対応する前記レジスタ手段（104）の内容を読み出し、前記書込み装置（101）からの前記転送データ（103）として受信する、

ことを特徴とする請求項1乃至3の何れか1項に記載のエラー表示機能付きファーストインファーストアウトバッファを使用した読出し装置の制御方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、互いに非同期に動作している装置間でデータの授受を行うために使用されるファーストインファーストアウトバッファ（FIFO）及びそれを使用した読出し装置の制御方法に関する。

## 【0002】

【従来の技術】ファーストインファーストアウトバッファ（FIFO）は、基本的には、一番先に入力されたデータが最初に取り出されるような構造を有するバッファ

## 3

であって、互いに非同期に動作している1つの装置から他の装置にデータを転送する場合に、データの入出力タイミングの違いを効果的に吸収することができる。

【0003】このようなFIFOを使用する場合、読出し側の装置がFIFOからのデータの読出しを行っていないタイミングで書込み側の装置がFIFOにデータを次々に書き込んでしまうと、FIFOにおいてデータのオーバーフローが発生し、転送データが失われてしまう。逆に、書込み側の装置がFIFOへのデータの書込みを行っていないタイミングで読出し側の装置がFIFOからデータを次々に読み出してしまうと、実際には書込み側の装置から書き込まれていない意味のないデータが読み出されることになってしまう。

【0004】そのため、通常のFIFOには、これ以上データを書き込めないことを表示し、又は、これ以上読み出されるべきデータが存在しないことを表示する機能が具備されている。これらの機能は、FIFOを構成するリングレジスタに対して指定される、データの書込み位置を示す書込みポイントとデータの読出し位置を示す読出しポイントとの位置関係を監視することにより実現することができる。

【0005】即ち、書込みポイントの位置が読出しポイントの位置を追い越しそうになった状態は、これ以上データを書き込めない状態になりつつあることを示しており、読出しポイントの位置が書込みポイントの位置を追い越しそうになった状態は、これ以上読み出されるべきデータが存在しない状態になりつつあることを示している。

【0006】ここで、書込み側の装置はFIFOにデータを順次書き込み、読出し側の装置はアドレス指定によってFIFO内の任意のレジスタをアクセスできるような構造のFIFOがある。

【0007】

【発明が解決しようとする課題】しかし、このような構造を有するFIFOでは、書込みポイントの位置と読出しポイントの位置との間には必ずしも相関関係があるわけではないため、単にこれらのポイントの位置関係を監視するだけでは、FIFOにおけるデータのオーバーフロー又は枯渇を検出することができないという問題点を有している。

【0008】本発明は、読出し側の装置がFIFO内の任意のレジスタをアクセスできる構造のFIFOにおけるデータエラーを検出可能とすることを目的とする。

【0009】

【課題を解決するための手段】図1は、本発明のブロック図である。本発明は、書込み装置101から読出し装置102へ転送される転送データ103を一時保持するファーストインファーストアウトバッファ118を前提とする。

【0010】まず、転送データ103を複数組（n組

## 4

み）分一時保持する#1、・・・、#X、・・・、#nの複数のレジスタ手段104を有する。その複数のレジスタ手段104に対応する#1、・・・、#X、・・・、#nの複数のフラグ値105を保持するフラグ保持手段106と、次に、書込み装置101からの転送データ書込み指示107に基づき順次連続的かつ循環的にカウント動作を行う書込みカウンタ手段108を有する。

【0011】また、転送データ書込み指示107に基づいて順次連続的にカウントアップ動作を行い、読出し装置102からの転送データ読出し指示109に基づいて順次連続的にカウントダウン動作を行い、レジスタ手段104の数n以上の値までカウント動作が可能な有効データカウンタ手段110を有する。

【0012】更に、転送データ書込み指示107に基づいて、書込みカウンタ手段108が出力するカウント値111に対応するレジスタ手段104に書込み装置101からの転送データ103を書き込むと共に、そのレジスタ手段104に対応するフラグ保持手段106内のフラグ値105を第1の値例えば“1”に設定する書込み制御手段112を有する。

【0013】そして、読出し装置102から指定される読出し指示109及びアドレス113に基づいて、任意のレジスタ手段104の内容、有効データカウンタ手段110のカウント値114、又はフラグ保持手段106が保持する任意のフラグ値105を読出し装置102に出力すると共に、任意のレジスタ手段104の内容を出力した場合にそのレジスタ手段104に対応するフラグ保持手段106内のフラグ値105を第2の値例えば“0”に設定する読出し制御手段115を有する。

【0014】本発明は、上述の構成に加えて、有効データカウンタ手段110のカウント値114がレジスタ手段104の数nを越えているときに読出し装置102がレジスタ手段104の内容を読み出そうとした場合、又は読出し装置102がフラグ保持手段106に保持されている第2の値を有するフラグ値105に対応するレジスタ手段104の内容を読み出そうとした場合に、書込み装置101が転送データ103として出力しない不正データ116を読出し装置102に出力する不正データ出力手段117を更に有するように構成できる。

【0015】また、特には図示しないが、不正データ出力手段117が出力する不正データ116を設定する不正データ設定手段を、例えば読出し装置102内に更に有するように構成できる。

【0016】上述の構成を有する本発明によるファーストインファーストアウトバッファ118に対して、読出し装置102は、以下の制御を行うように構成される。まず、読出し装置102は、ファーストインファーストアウトバッファ118内の任意のレジスタ手段104をアクセスする。

【0017】次に、読出し装置102は、その結果とし

てファーストインファーストアウトバッファ 118 から出力される出力値が、不正データ 116 であるか否かを判別する。

【0018】続いて、読出し装置 102 は、その出力値が不正データ 116 でなければ、その出力値を書込み装置 101 からの転送データ 103 として受信する。一方、読出し装置 102 は、上述の出力値が不正データ 116 であるならば、ファーストインファーストアウトバッファ 118 から有効データカウンタ手段 110 のカウント値 114、又はフラグ保持手段 106 が保持するアクセス動作に対応するフラグ値 105 を読み出し、それらの読み出した値に基づいてエラー処理を行う。

【0019】或は、読出し装置 102 は、上述の構成を有する本発明によるファーストインファーストアウトバッファ 118 に対して、以下の制御を行うように構成することもできる。

【0020】まず始めに、読出し装置 102 は、ファーストインファーストアウトバッファ 118 からフラグ保持手段 106 に保持されている任意のフラグ値 105 を読み出す。

【0021】そして、そのフラグ値 105 が第 1 の値を有する場合に、ファーストインファーストアウトバッファ 118 から第 1 の値を有するフラグ値 105 に対応するレジスタ手段 104 の内容を読み出し、書込み装置 101 からの転送データ 103 として受信する。

【0022】

【作用】図 1 において、ファーストインファーストアウトバッファ 118 は、書込み装置 101 からの転送データ 103 の書込み動作を常に受け付け、書込み制御手段 112 は書込みカウンタ手段 108 からのカウント値 111 に対応するレジスタ手段 104 に順次転送データ 103 を書き込む。

【0023】また、上述の書込み動作の毎に有効データカウンタ手段 110 がカウントアップされる。有効データカウンタ手段 110 は、読出し装置 102 の読出し動作毎にカウントダウンされる。従って、このカウンタ値 114 が、レジスタ手段 104 の個数  $n$  より大きいときは、レジスタ手段 104 の内容が読出し装置 102 によって読み出される前に、書込み装置 101 がレジスタ手段 104 に転送データ 103 を上書きしてしまったことになる。

【0024】よって、読出し装置 102 は、有効データカウンタ手段 110 のカウント値 114 を読み出すことにより、ファーストインファーストアウトバッファ 118 においてデータのオーバーフローが発生したことを知ることができる。

【0025】一方、フラグ保持手段 106 が保持する例えば  $\#X$  のレジスタ手段 104 に対応する  $\#X$  のフラグ値 105 は、書込み装置 101 が  $\#X$  のレジスタ手段 104 への転送データ 103 の書込みを行うときに第 1 の値にセ

ットされ、読出し装置 102 が  $\#X$  のレジスタ手段 104 からの転送データ 103 の読出しを行うときに第 2 の値にセットされる。従って、第 2 の値を有するフラグ値 105 に対応するレジスタ手段 104 には、まだ書込み装置 101 からの新しい転送データ 103 が書き込まれていないことを示している。

【0026】よって、読出し装置 102 は、フラグ保持手段 106 の各フラグ値 105 を読み出すことにより、ファーストインファーストアウトバッファ 118 内の有効な転送データ 103 へのアクセスが行われたか否かを知ることができる。

【0027】更に、上述のような不正なアクセスが行われた場合に不正データ出力手段 117 が不正データ 116 を出力するように構成されることにより、読出し装置 102 は、ファーストインファーストアウトバッファ 118 から出力されるアクセス結果が不正データ 116 であるか否かを判別することにより、簡単に不正アクセスを判別することができる。

【0028】読出し装置 102 がファーストインファーストアウトバッファ 118 に対して行う第 1 のアクセス方法として、まず、レジスタ手段 104 へのアクセスを行った結果出力される出力値が不正データ 116 であるか否かを判別し、不正データ 116 でなければ次のアクセスを行う方法がある。これにより、書込み装置 101 からの転送データ 103 の書込みの頻度が高い場合に、読出し装置 101 がレジスタ手段 104 をアクセスしたときにそこに読めるデータが存在する可能性が高いために、ファーストインファーストアウトバッファ 118 へのアクセスがデータあたり約 1 回になる。従って、このアクセス形態は、読出し装置 101 からファーストインファーストアウトバッファ 118 へのアクセスに時間がかかる場合に特に有効である。

【0029】上述のアクセス方法において、ファーストインファーストアウトバッファ 118 からの出力値が不正データ 116 である場合には、読出し装置 102 は、有効データカウンタ手段 110 のカウント値 114 又はフラグ保持手段 106 が保持するアクセス動作に対応するフラグ値 105 を読み出すことにより、オーバーフローが発生しているか否か、又は有効なデータへのアクセスが行われたか否かを知ることができる。

【0030】これに対して、書込み装置 101 からデータがあまり書き込まれず、上述の第 1 のアクセス方法でレジスタ手段 104 をアクセスすると、レジスタ手段 104 にデータが存在せずにそのレジスタ手段 104 に対応するフラグ保持手段 106 内のフラグ値 105 が第 2 の値となる頻度が高くなる場合には、読出し装置 102 は、先にこのフラグ値 105 を読み出し、それが第 1 の値となっている場合にそれに対応するレジスタ手段 104 をアクセスするようにすれば、無駄なアクセスをなくすことができる。

## 【0031】

【実施例】以下、図面を参照しながら本発明の実施例につき詳細に説明する。以下の実施例において、後述する図3のメッセージ通信装置103内で、CPUバス302及びネットワーク命令／結果バス303を介して、CPU313とネットワーク制御回路310との間で授受される送信命令、送信結果通知又は受信結果通知を中継するためのI/Oコントローラ315の構成が本発明に最も関連する。

＜本発明の実施例の全体構成＞図2は、本発明の実施例が適用されるネットワークの構成図である。

【0032】光ファイバリング206を中心に構成されるネットワーク201には、複数のノード202（図2では、#000、#\*\*\*、#%、などの番号で示されている）が接続される。

【0033】ノード202において、プロセッサバス205には複数のプロセッサ204が接続され、プロセッサバス205はメッセージ通信装置203に收容される。メッセージ通信装置203は、プロセッサバス205を介してプロセッサ204が送信又は受信するメッセージデータを処理し、また、光ファイバリング206に  
20 対し入力又は出力されるメッセージデータが格納されたフレームを処理する。

【0034】次に、図3は、本発明の実施例における図2のノード202内のメッセージ通信装置203の構成図である。実メモリ307は、メッセージデータを一時保持する通信バッファとして機能する。

【0035】制御メモリ308は、メッセージの通信に使用される仮想記憶空間上の各仮想ページアドレス毎に、その仮想ページアドレスが実メモリ307内の実ページアドレスに割り付けられている場合にはその実ページアドレスと、その仮想ページアドレスのページ状態（通信状態）を示すデータを記憶する。

【0036】プロセッサバスインタフェース312は、図2のプロセッサバス205を收容すると共に外部バス301に接続され、図2のプロセッサ204からプロセッサバス205を介して入力されるメッセージデータ等を、外部バス301及びバーチャルメモリコントローラ309を介して実メモリ307に出力し、逆に、実メモリ307からバーチャルメモリコントローラ309及び外部バス301を介して入力されるメッセージデータ等を、プロセッサバス205を介してプロセッサ204に出力する。

【0037】また、プロセッサバスインタフェース312は、外部バス301、バス結合部311及びCPUバス302を介して、CPU313との間で、通信制御データの授受を行う。

【0038】図2には明示していないが、図3では、プロセッサバス205は、1ノードあたり2本設けられている。従って、プロセッサバスインタフェース312も、  
50

各プロセッサバス205に対応して、#0と#1の2つが設けられている。そして、#0のプロセッサバスインタフェース312は、制御線319を用いて、#0と#1の各プロセッサバスインタフェース312が外部バス301をアクセスする場合の競合制御を行う。更に、#0のプロセッサバスインタフェース312は、制御線321、322を介して、後述するCPUバスアービタ314及びI/Oコントローラ315との間でバスの使用に関する制御データを授受しながら、外部バス301の競合制御を行って、必要なときには制御線320を介してバス結合部311の開閉制御を行う。

【0039】ネットワーク制御回路310は、フレームの送信時には、CPU313からCPUバス302、I/Oコントローラ315、及びネットワーク命令／結果バス303を介して入力される送信命令に基づいて、制御メモリアccessバス306を介して制御メモリ308をアクセスしながら、実メモリ307からバーチャルメモリコントローラ309及びネットワークデータ送信バス305を介して送信されるべきメッセージデータを読み出し、それを含む送信フレームを構築し、それを光ファイバリング206に送出し、その送信結果を、ネットワーク命令／結果バス303、I/Oコントローラ315、及びCPUバス302を介してCPU313に通知する。

【0040】また、ネットワーク制御回路310は、光ファイバリング206からのフレームの受信時には、制御メモリアccessバス306を介して制御メモリ308をアクセスしながら、その受信フレームを他のノード202へ中継する。又は、その受信フレーム内のメッセージデータを取り出し、ネットワークデータ受信バス304からバーチャルメモリコントローラ309を介して実メモリ307に格納し、その受信結果を、ネットワーク命令／結果バス303、I/Oコントローラ315、及びCPUバス302を介してCPU313に通知する。

【0041】CPU313は、CPUバス302に接続され、動作開始時に、CPUバス302に接続されるEPROM316からCPUバス302に接続されるプログラムRAM317に書き込まれる制御プログラムに従って動作する。

【0042】このCPU313は、CPUバス302、バス結合部311、及び外部バス301を介して、プロセッサバスインタフェース312との間で、通信制御データの授受を行う。

【0043】また、CPU313は、フレームの送信時には、CPUバス302、I/Oコントローラ315、及びネットワーク命令／結果バス303を介して、送信命令をネットワーク制御回路310へ出力し、その後、ネットワーク制御回路310から、ネットワーク命令／結果バス303、I/Oコントローラ315、及びCPUバス302を介して、送信結果通知を受け取る。逆

に、CPU313は、フレームの受信時には、ネットワーク制御回路310から、ネットワーク命令/結果バス303、I/Oコントローラ315、及びCPUバス302を介して、受信結果通知を受け取る。

【0044】更に、CPU313は、CPUバス302を介して制御メモリ308内の各仮想ページアドレスのページ状態データ（通信状態を示すデータ）をアクセスすると共に、CPUバス302及びバーチャルメモリコントローラ309を介して制御メモリ308内の各仮想ページアドレスの実ページアドレスデータ及び実メモリ307をアクセスする。

【0045】I/Oコントローラ315は、CPUバス302に接続され、外部の周辺装置が接続される周辺装置バス318を収容する。また、I/Oコントローラ315は、前述したように、CPUバス302及びネットワーク命令/結果バス303を介して、CPU313とネットワーク制御回路310との間で授受される送信命令、送信結果通知又は受信結果通知を中継する。この場合、ネットワーク制御回路310からCPU313へ転送される送信結果通知又は受信結果通知を一時保持するI/Oコントローラ315内のFIFOの構造が本発明に最も関連する。これについては、後述する。

【0046】更に、I/Oコントローラ315は、CPU313が外部バス301をアクセスするアドレスをCPUバス302に対して指定した場合に、制御線322を介して#0のプロセッサバスインタフェース312に、外部バスアクセス要求を出力する。

【0047】CPUバスアービタ314は、プロセッサバスインタフェース312から制御線321を介してCPUバスアクセス要求（バスグラント要求）を受け取った場合に、CPU313に対して制御線323を介してバス使用要求（バスグラント要求）を出力し、CPU313から制御線323を介してバス使用許可（バスグラントアクリッジ）を受け取り、それに基づいてCPUバスアクセス許可（バスグラントアクリッジ）を制御線321を介して#0のプロセッサバスインタフェース312に返す。

【0048】バーチャルメモリコントローラ309は、プロセッサバスインタフェース312と実メモリ307との間で外部バス301を介して授受されるデータ、CPU313と実メモリ307又は制御メモリ308との間でCPUバス302を介して授受されるデータ、ネットワーク制御回路310と実メモリ307との間でネットワークデータ受信バス304又はネットワークデータ送信バス305を介して授受されるデータのスイッチング制御及び競合制御を行う。

【0049】以上の構成を有する本発明の実施例の動作について説明する。

<プロセッサ間通信の全体動作>今、図2及び図3において、例えば#000のノード202内の1つのプロセッサ

204から、#\*\*\*のノード202内の他の1つのプロセッサ204にメッセージデータを送信する場合の全体動作について説明する。

【0050】この場合に、#000のノード202内の1つのプロセッサ204から送信されるメッセージデータは、プロセッサバス205を介してそのノード内のメッセージ通信装置203（以下、#000のメッセージ通信装置203と呼ぶ）の実メモリ307に転送された後に、#\*\*\*のノード202内のメッセージ通信装置203（以下、#\*\*\*のメッセージ通信装置203と呼ぶ）の実メモリ307に送られ、その後、その実メモリ307からプロセッサバス205を介して宛て先のプロセッサ204に転送される。即ち、各メッセージ通信装置203の実メモリ307は、通信バッファとして機能する。

#### メッセージ通信装置203間の通信方式

ここで、メッセージ通信装置203間のメッセージデータの通信には、ネットワーク仮想記憶方式という特別な方式が適用される。

【0051】まず、図2のネットワーク201全体で、仮想記憶空間が定義される。この仮想記憶空間は、複数の仮想ページに分割され、メッセージデータの通信はこの仮想ページを介して行われる。例えば、仮想記憶空間は、0000~FFFFページ（16進数）までの仮想ページアドレスに分割される。1つの仮想ページは、メッセージデータの1単位であるパケットを十分に収容可能な固定長（例えば8キロバイト長）のデータ長を有する。なお、以下特に言及しないときは、仮想ページアドレス及び口述する実ページアドレスは、16進数で表現する。

【0052】次に、この仮想記憶空間の所定ページ数毎例えば16ページ毎に、ネットワーク201に接続される各ノード202のメッセージ通信装置203が割り当てられる。例えば、0000~000Fページには#000番目のノード202のメッセージ通信装置203が割り当てられ、0010~001Fページには#001番目のノード202のメッセージ通信装置203が割り当てられ、以下同様に、\*\*\*0~\*\*\*Fページ及び%%0~%%Fページ（3桁の\*及び%はそれぞれ0~Fの16進数のうち任意の数）には、それぞれ#\*\*\*番目及び#%%番目の各ノード202のメッセージ通信装置203が割り当てられる。

【0053】従って、上述の例では、ネットワーク201には、#000~#FFFまでの最大で3096台のメッセージ通信装置203が接続可能である。一方、各メッセージ通信装置203内の実メモリ307は、それぞれが上述の仮想ページと同じデータ長を有する複数の実ページに分割される。実メモリ307のページ容量は、仮想記憶空間のページ容量よりはるかに小さくてよく、例えば64~256ページ程度でよい。

【0054】次に、各メッセージ通信装置203の制御メモリ308にはそれぞれ、図4に示されるように、全仮想ページアドレス分の制御データが記憶される。各仮

想ページアドレスの制御データは、図4に示されるように、その仮想ページアドレスに対応付けられる自メッセージ通信装置203内の実メモリ307の実ページアドレスデータと、その仮想ページアドレスの通信状態を示すページ状態データとから構成されている。

【0055】そして、初期状態として、各ノード202内のメッセージ通信装置203の制御メモリ308において、そのノード202に割り当てられている仮想ページアドレスには、CPU313のネットワーク用受信制御機能によって、自メッセージ通信装置203の実メモリ307内の任意の空きページに設けられるネットワーク用受信バッファの実ページアドレスと、ページ状態として受信バッファ割付状態VPが、それぞれ予め書き込まれている。なお、ネットワーク用受信制御機能は、CPU313がプログラムRAM317に記憶された制御プログラムを実行することにより実現される。

【0056】例えば、#000のメッセージ通信装置203の制御メモリ308において、自メッセージ通信装置203に割り当てられている0000, 0001, . . . , 000Fページの各仮想ページアドレスには、図4に示されるように、実メモリ307内のs, q, . . . , pの各実ページアドレスが書き込まれ、受信バッファ割付状態を示すページ状態VPが書き込まれている。

【0057】また、###のメッセージ通信装置203の制御メモリ308において、自メッセージ通信装置203に割り当てられている\*\*\*0, \*\*\*1, . . . , \*\*\*Fページの各仮想ページアドレスには、図4に示されるように、実メモリ307内のv, u, . . . , tの各実ページアドレスが書き込まれ、受信バッファ割付状態を示すページ状態VPが書き込まれている。

【0058】同様に、###のメッセージ通信装置203の制御メモリ308において、自メッセージ通信装置203に割り当てられている%%0, %%1, . . . , %%Fページの各仮想ページアドレスには、図4に示されるように、実メモリ307内のy, w, . . . , xの各実ページアドレスが書き込まれ、受信バッファ割付状態を示すページ状態VPが書き込まれている。

【0059】今、後述する転送動作により、例えば#000のメッセージ通信装置203の実メモリ307内の、実ページアドレスがrであるネットワーク用送信バッファ（後述する）に、#000のノード202内の1つのプロセッサ204からメッセージデータが転送されているものとする。

【0060】CPU313のネットワーク用送信制御機能は、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307内のネットワーク用送信バッファに格納されているメッセージデータのヘッダ内の宛て先アドレス部を解析することによって、その宛て先アドレスに対応するプロセッサ204が収容されるノード202に割り当てられている仮想ページアドレ

スのうち、ページ状態がバッファ未割付状態NAとなっているものを決定する。図4の例では、例えば仮想ページアドレス\*\*\*2が決定される。なお、ネットワーク用送信制御機能は、CPU313がプログラムRAM317に記憶された制御プログラムを実行することにより実現される。

【0061】次に、CPU313のネットワーク用送信制御機能は、制御メモリ308内の上述の決定した仮想ページアドレスに、上述のメッセージデータが格納されているネットワーク用送信バッファの実ページアドレスを書き込み、ページ状態を、バッファ未割付状態NAから送信状態SDに変更する。図4の例では、例えば仮想ページアドレス\*\*\*2に実ページアドレスrと送信状態SDが設定される。

【0062】そして、CPU313のネットワーク用送信制御機能は、I/Oコントローラ315内の送信用FIFOに、CPUバス302を介して、送信命令と共に、上述の仮想ページアドレスと、上述のメッセージデータの転送長を書き込む。

【0063】ネットワーク制御回路310は、I/Oコントローラ315内の送信用FIFOから、ネットワーク命令／結果バス303を介して、上述の送信命令等を読み出すと、その送信命令に付加されている仮想ページアドレスを、制御メモリアクセスバス306を介して制御メモリ308に指定し、制御メモリ308から上述の仮想ページアドレスに設定されている実ページアドレスを読み出してバーチャルメモリコントローラ309内のDMA転送用レジスタに設定する。

【0064】そして、ネットワーク制御回路310は、バーチャルメモリコントローラ309に、送信されるべきメッセージデータが含まれる実メモリ307内の上記実ページアドレスのページデータを、ネットワークデータ送信バス305を介してネットワーク制御回路310にDMA転送させる。

【0065】ネットワーク制御回路310は、上述のページデータから送信命令に付加されているメッセージデータの転送長に対応する分のメッセージデータを取り出し、そのメッセージデータと送信命令に付加されている仮想ページアドレス及びメッセージデータの転送長を含む送信フレームを生成し、それを光ファイバリング206に送出する。なお、光ファイバリング206のフレーム伝送方式としては、トークンリングネットワーク方式が採用され、ネットワーク制御回路310は、光ファイバリング206上を周回するフリートークンを獲得した場合のみ送信フレームを送出することができる。

【0066】図4の例においては、#000のメッセージ通信装置203から、仮想ページアドレス\*\*\*2と実メモリ307内の実ページアドレスrに格納されているメッセージデータとを含む送信フレームが、光ファイバリング206に送出される。

【0067】上述の送信フレームは、光ファイバリング206に接続されている他のノード202（図2参照）に順次転送される。各ノード202内のメッセージ通信装置203のネットワーク制御回路310は、光ファイバリング206から上記送信フレームを取り込むと、その送信フレームに格納されている仮想ページアドレスに対応するページ状態を制御メモリアクセスバス306を介して制御メモリ308から読み出し、そのページ状態が受信バッファ割付状態VPであるか否か、即ち、その仮想ページアドレスが自ノード202のメッセージ通信装置203に割り当てられているか否か、又はそのページ状態が送信状態SDであるか否か、即ち、その送信フレームが自ネットワーク制御回路310が送出したものであるか否かを判別する。

【0068】ネットワーク制御回路310は、送信フレームに格納されている仮想ページアドレスのページ状態が受信バッファ割付状態VPであると判別した場合には、送信フレームに格納されているメッセージデータを、以下のようにして実メモリ307に取り込む。

【0069】即ち、ネットワーク制御回路310は、まず、送信フレームに格納されている仮想ページアドレスを、制御メモリアクセスバス306を介して制御メモリ308に指定し、制御メモリ308から上述の仮想ページアドレスに設定されている実ページアドレスを読み出してバーチャルメモリコントローラ309内のDMA転送用レジスタに設定する。そして、ネットワーク制御回路310は、バーチャルメモリコントローラ309に、送信フレームに含まれるメッセージデータを、ネットワークデータ受信バス304を介して実メモリ307内の上述の実ページアドレスにDMA転送させる。

【0070】その後、ネットワーク制御回路310は、送信フレームに格納されている仮想ページアドレスを、制御メモリアクセスバス306を介して制御メモリ308に指定し、その仮想ページアドレスのページ状態を受信バッファ割付状態VPから受信完了状態RDに変更する。

【0071】更に、ネットワーク制御回路310は、I/Oコントローラ315内の受信用FIFOに、ネットワーク命令/結果バス303を介して、受信の成否を示す結果コードと共に、送信フレームから抽出した仮想ページアドレスとメッセージデータの転送長を書き込む。

【0072】最後に、ネットワーク制御回路310は、光ファイバリング206から受信した上述の送信フレーム中の応答領域に受信成功通知を書き込んだ後、その送信フレームを再び光ファイバリング206に送出する。

【0073】例えば、図4の例では、\*\*\*のメッセージ通信装置203のネットワーク制御回路310は、#000のノード202からの送信フレームに格納されている仮想ページアドレス\*\*\*2の制御メモリ308上のページ状態が受信バッファ割付状態VPであると判別することにより、その送信フレームに格納されているメッセージデー

タを、制御メモリ308の仮想ページアドレス\*\*\*2に設定されている実ページアドレスuを有する実メモリ307内のネットワーク用受信バッファに取り込んだ後、制御メモリ308の仮想ページアドレス\*\*\*2のページ状態を受信バッファ割付状態VPから受信完了状態RDに変更する。

【0074】上述の受信結果通知は、CPU313により、CPUバス302を介して受信される。即ち、CPU313のネットワーク用受信制御機能は、CPUバス302を介してI/Oコントローラ315内の受信用FIFOから上述の受信結果通知を受け取ると、結果コードが受信成功であるならば、受信結果通知の一部である仮想ページアドレスをCPUバス302を介して制御メモリ308に指定し、そのページ状態と実ページアドレスを読み出す。

【0075】上述のページ状態が受信完了状態RDであるならば、CPU313のネットワーク用受信制御機能は、まず、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307を制御して、上述の実ページアドレスで指定される実ページをネットワーク用受信バッファから切り離しプロセッサ用送信待ちバッファキューに接続する。

【0076】その後、CPU313のネットワーク用受信制御機能は、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307を制御して、任意の空きページをネットワーク用受信バッファに接続し、更に、上述の受信結果通知の一部である仮想ページアドレスでCPUバス302を介して制御メモリ308をアクセスし、その仮想ページアドレスに、上述の空きページの実ページアドレスと、ページ状態として受信バッファ割付状態VPを、それぞれ書き込む。

【0077】これ以後、実メモリ307内のプロセッサ用送信待ちバッファキューに対する処理は、CPU313のネットワーク用受信制御機能から後述するプロセッサ用送信制御機能に引き渡される。

【0078】一方、ネットワーク制御回路310は、送信フレームに格納されている仮想ページアドレスに対応するページ状態を制御メモリ308から読み出した結果、そのページ状態が受信バッファ割付状態VPでも送信状態SDでもないとは判別した場合には、その送信フレームをそのまま光ファイバリング206に送出する。

【0079】例えば、図4の例では、\*\*\*のメッセージ通信装置203のネットワーク制御回路310は、#000のノード202からの送信フレームに格納されている仮想ページアドレス\*\*\*2の制御メモリ308上のページ状態が受信バッファ割付状態VPでも送信状態SDでもないとは判別することにより、その送信フレームをそのまま光ファイバリング206に送出する。

【0080】上述のようにして光ファイバリング206上を順次転送された送信フレームは、最後に送信元のノ

10

20

30

40

50



ード202内のメッセージ通信装置203のネットワーク制御回路310に戻る。

【0081】送信元のネットワーク制御回路310は、送信フレームに格納されている仮想ページアドレスに対応するページ状態を制御メモリ308から読み出した結果、それが送信状態SDであると判別することによって、その送信フレームが自ネットワーク制御回路310が送出した送信フレームであることを判別する。

【0082】この場合に、ネットワーク制御回路310は、受信した送信フレームの応答領域に受信成功通知が書き込まれていることを確認した後に、制御メモリアクセスバス306を介して、送信フレームに格納されている仮想ページアドレスに対応する制御メモリ308のページ状態を、送信状態SDから送信完了状態SCに変更する。

【0083】そして、ネットワーク制御回路310は、I/Oコントローラ315内の受信用FIFOに、ネットワーク命令/結果バス303を介し、送信の成否を示す結果コードと共に、送信フレームから抽出した仮想ページアドレスを書き込む。

【0084】上述の送信結果通知は、CPU313により、CPUバス302を介して受信される。即ち、CPU313のネットワーク用送信制御機能は、CPUバス302を介してI/Oコントローラ315内の受信用FIFOから上述の送信結果通知を受け取ると、結果コードが送信成功であるならば、送信結果通知の一部である仮想ページアドレスをCPUバス302を介して制御メモリ308に指定し、そのページ状態と実ページアドレスを読み出す。

【0085】上述のページ状態が送信完了状態SCであるならば、CPU313のネットワーク用送信制御機能は、まず、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307を制御して、上述の実ページアドレスで指定される実ページをネットワーク用送信バッファから切り離し空きページとする。

【0086】その後、CPU313のネットワーク用送信制御機能は、上述の送信結果通知の一部である仮想ページアドレスでCPUバス302を介して制御メモリ308をアクセスし、その仮想ページアドレスのページ状態として、バッファ未割付状態NAを書き込む。

【0087】以上のように、ネットワーク201(図2参照)上において、1つの仮想記憶空間が定義され、この空間を構成する固定長のデータ長を有する仮想ページが各メッセージ通信装置203に割り当てられる。そして、メッセージ通信装置203間のメッセージデータの通信は、この仮想ページを使用して行われる。この結果、通常のパケット通信で行われているブロック化制御、順序制御が不要となる。

【0088】また、光ファイバリング206上の各ノード202内のメッセージ通信装置203のネットワーク

制御回路310は、送信フレームを受信すると、その送信フレームに格納されている仮想ページアドレスで制御メモリ308上のページ状態をアクセスすることによって、受信した送信フレームを高速に処理することができる。

【0089】加えて、光ファイバリング206上を転送される送信フレームには応答領域が設けられ、受信側のノード202内のメッセージ通信装置203のネットワーク制御回路310は、送信フレームの受信結果を送信フレームの応答領域に書き込み、それを再び光ファイバリング206に送出する。従って、この送信フレームが光ファイバリング206上を転送され送信元に戻ってくるまでに、メッセージデータの送信処理が完了することになり、受信側から送信元への応答を別のフレームを用いて通知する必要がある。この結果、通信プロトコルを簡略なものにすることができ、高速な応答処理が可能となる。

【0090】更に、メッセージ通信装置203間のメッセージデータの通信は、メッセージ通信装置203内のネットワーク制御回路310が制御メモリ308をアクセスしながら実メモリ307を使用して行い、プロセッサ204とメッセージ通信装置203間のメッセージデータの通信は、後述するように、メッセージ通信装置203内のプロセッサバスインタフェース312が、上述のネットワーク制御回路310の動作とは独立して、実メモリ307を使用して行う。更に、実メモリ307上の実ページアドレスに格納されたメッセージデータと仮想記憶空間上の仮想ページアドレスとの対応付けは、後述するように、CPU313がメッセージデータに付加されたヘッダ内の宛て先アドレスに基づいて行う。従って、プロセッサ204とメッセージ通信装置203間、メッセージ通信装置203とメッセージ通信装置203間の処理を効率良く高速に実行することが可能となる。送信元におけるプロセッサ204からメッセージ通信装置203へのメッセージデータの転送動作

次に、送信元のノード202(図4の例では#000のノード202)内の1つのプロセッサ204からそのノード内のメッセージ通信装置203の実メモリ307に、メッセージデータが転送される場合の動作について説明する。

【0091】まず、CPU313のプロセッサ用受信制御機能は、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307をアクセスすることにより、実メモリ307において、プロセッサ用受信バッファキューに空きバッファキューに接続されている空きバッファを接続する。なお、プロセッサ用受信制御機能は、CPU313がプログラムRAM317に記憶された制御プログラムを実行することにより実現される機能である。

【0092】そして、CPU313のプロセッサ用受信

制御機能は、CPUバス302、バス結合部311、及び外部バス301を介して、例えば#0のプロセッサバスインタフェース312を起動すると共に、そのインタフェース312に対して上述のプロセッサ用受信バッファキューの先頭アドレスを通知する。

【0093】プロセッサバスインタフェース312は、プロセッサ204からプロセッサバス205を介して転送されてきたメッセージデータを受信し、上記先頭アドレスを受信開始アドレスとしてバッファアドレスを順次更新しながら、上述の受信されたメッセージデータを、外部バス301及びバーチャルメモリコントローラ309を介して、実メモリ307内のプロセッサ用受信バッファキューに接続された空きバッファに、順次転送する。

【0094】プロセッサバスインタフェース312は、プロセッサ用受信バッファキューに接続される空きバッファがなくなると、自動的に停止し、その旨を外部バス301、バス結合部311、及びCPUバス302を介してCPU313に通知する。

【0095】CPU313のプロセッサ用受信制御機能は、まず、CPUバス302及びバーチャルメモリコントローラ309を介して実メモリ307を制御して、上述の受信済のバッファをプロセッサ用受信バッファキューから切り離しネットワーク用送信バッファに接続する。これ以後、実メモリ307内のネットワーク用送信バッファに対する処理は、CPU313のプロセッサ用受信制御機能から前述したネットワーク用送信制御機能に引き渡され、前述したメッセージ通信装置203間の通信方式に従って、送信元のノード202のメッセージ通信装置203（図4の例では#000のメッセージ通信装置203）内の実メモリ307から、宛て先のプロセッサ204が収容されるノード202のメッセージ通信装置203（図4の例では#\*\*\*のメッセージ通信装置203）内の実メモリ307への、メッセージデータの転送動作が実行される。

#### 受信側におけるメッセージ通信装置203からプロセッサ204へのメッセージデータの転送動作

次に、受信側のノード202（図4の例では#\*\*\*のノード202）内のメッセージ通信装置203の実メモリ307からそのノード202内の1つのプロセッサ204に、メッセージデータが転送される場合の動作について説明する。

【0096】ネットワーク制御回路310が送信フレームの受信に成功すると、前述したように、CPU313のネットワーク用受信制御機能が、受信されたメッセージデータを実メモリ307内のプロセッサ用送信待ちバッファキューに接続する。

【0097】これに対して、CPU313のプロセッサ用送信制御機能は、CPUバス302、バス結合部311、及び外部バス301を介して、例えば#0のプロセッ

サバスインタフェース312を起動すると共に、そのインタフェース312に対して上述のプロセッサ用送信待ちバッファキューの先頭アドレスを通知する。

【0098】プロセッサバスインタフェース312は、上記先頭アドレスを送信開始アドレスとしてバッファアドレスを順次更新しながら、外部バス301及びバーチャルメモリコントローラ309を介して、実メモリ307内のプロセッサ用送信待ちバッファキューに接続されたバッファに格納されているメッセージデータを順次読み出して、そのメッセージデータのヘッダ内の宛て先アドレス部を解析しながら、そのメッセージデータをプロセッサバス205を介して宛て先のプロセッサ204に転送する。

<送信／受信結果通知を処理するI/Oコントローラの部分の説明>次に、図3のI/Oコントローラ315の構成のうち、ネットワーク制御回路310からCPU313へ転送される前述した送信結果通知又は受信結果通知を一時保持するI/Oコントローラ315内のFIFOにつき説明する。この部分の構成が本発明に最も関連する。なお、CPU313からネットワーク制御回路310へ転送される送信命令を保持するためのI/Oコントローラ315内のFIFOに対しても本発明を適用することが可能であるが、その構成については省略する。

【0099】図5は、上述の送信結果通知又は受信結果通知を一時保持するI/Oコントローラ315内に構成されるFIFOの構成図である。図5において、4つのレジスタR0～R3には、ネットワーク制御回路310からネットワーク命令／結果バス203のデータバスを介して前述した送信結果通知又は受信結果通知のデータが書き込まれる。

【0100】これに対して、CPU313は、CPUバス302のアドレスバスを介してアドレスデコーダ509にレジスタアドレスをセットすることにより、セクタ510、511、バッファ513からCPUバス302のデータバスを介して、レジスタR0～R3の内容のうち任意の内容を読み出すことができ、この内容が前述したCPU313のネットワーク用送信制御機能又はネットワーク用受信制御機能に引き渡される。

【0101】タイミング生成回路501は、ネットワーク制御回路310からネットワーク命令／結果バス203の制御バスに出力されたデータの書き込みを指示する制御信号に基づき、レジスタR0～R3に書き込みを行うための書き込み信号FIFOWを生成する。

【0102】書き込み用2ビットカウンタ502は、レジスタR0～R3のうちデータの書き込みが行われるレジスタを決定するためのカウンタであって、そのカウント値は、0、1、2、3と増加した後再び0に戻るように変化する。従って、ネットワーク制御回路310からのデータの書き込みは、レジスタR0、R1、R2、R3、R0、・・・というように、順次循環的に行われる。

【0103】書込み信号FIFOWのアサートによって、書込み用2ビットカウンタ502のカウンタ値が1増加してXからX+1に変化し、増加する前のカウンタ値X（Xは0以上3以下の任意の数。以下、Xは添え字としても使用される。）に応じたデコード503の出力WDEC<sub>X</sub>が、アサート状態からネグート状態に変化する。

【0104】この変化のタイミングで、レジスタR<sub>X</sub>にネットワーク制御回路310から前述した送信結果通知又は受信結果通知のデータが書き込まれる。書込み用2ビットカウンタ502の値が1増加した結果、その増加したカウンタ値に応じたデコード503の出力WDEC<sub>X+1</sub>がアサートされる。但し、X=3のときには、WDEC<sub>3</sub>がネグートされると同時にWDEC<sub>0</sub>がアサートされる。

【0105】また、ネグートされる直前のデコード503の出力WDEC<sub>X</sub>が入力する#Xのフラグ回路504内のD-FF<sub>X</sub>に、書込み信号FIFOWがアサートされるタイミングで、論理“1”の信号がセットされる。

【0106】このD-FF<sub>X</sub>の内容は、CPU313からCPUバス302のアドレスバスを介してレジスタアドレスが指定されアドレスデコード509がレジスタR<sub>X</sub>を指定するデコード出力RDEC<sub>X</sub>をアサートしたタイミングで、論理“0”に戻される。

【0107】即ち、D-FF<sub>X</sub>は、それにセットされている信号の論理が“1”である場合に、レジスタR<sub>X</sub>には、ネットワーク制御回路310が書き込み、CPU313がまだ読んでいない有効データが存在することを示しており、それにセットされている信号の論理が“1”である場合に、レジスタR<sub>X</sub>には有効データは存在しないことを示している。

【0108】#Xのフラグ回路504からは、D-FF<sub>X</sub>の出力DFFXと、カウントチェック用の値count<sub>X</sub>が出力される。count<sub>X</sub>の値は、後述するアドレスデコード509からのデコード出力RDEC<sub>X</sub>の値とD-FF<sub>X</sub>の出力DFFXの値によって決定される。これについては、後述する。

【0109】カウントチェック回路506内の3ビット有効データカウンタ505は、レジスタR<sub>0</sub>～R<sub>3</sub>におけるデータのオーバーフローを検出するためのカウンタである。

【0110】この3ビット有効データカウンタ505のカウンタ値は、書込み信号FIFOWがアサートされレジスタR<sub>X</sub>へのデータの書込みが行われる毎に1増加し、CPU313からCPUバス302のアドレスバスを介してレジスタアドレスが指定され、アドレスデコード509がデコード出力RDEC<sub>X</sub>を出力する毎に、そこから出力される読出し信号FIFORに基づいて1減少する。

【0111】従って、この3ビット有効データカウンタ505の値が4を越えると、レジスタR<sub>X</sub>の内容がCPU313によって読み出される前にネットワーク制御回路310からレジスタR<sub>X</sub>に上書きがされてしまったことになる。

【0112】カウントチェック回路506は、3ビット有効データカウンタ505の値が4を越えたことを検出すると、エラー検出信号thruをアサートする。一方、#Xのフラグ回路504内のD-FF<sub>X</sub>の出力DFFXの論理がレジスタR<sub>X</sub>に有効なデータが書き込まれていない状態を示す論理“0”である場合に、CPU313がレジスタR<sub>X</sub>の内容を読み出そうとしてそれをアクセスすることによって、アドレスデコード509のデコード出力RDEC<sub>X</sub>がアサートされると、#Xのフラグ回路504は、カウントチェック用出力count<sub>X</sub>をアサート状態からネグート状態に変化させる。

【0113】この結果、カウントチェック回路506は、このネグート状態に変化したカウントチェック用出力count<sub>X</sub>に基づいて、エラー検出信号thruをアサートする。

【0114】エラー検出信号thruがアサートされると、セクタ511は、セクタ510の出力ではなく、レジスタ512に保持されているオール“1”の不正パターンを選択し、バッファ513を介してCPUバス302のデータバスに出力する。このオール“1”の不正パターンは、ネットワーク制御回路310からレジスタR<sub>0</sub>～R<sub>3</sub>には書き込まれないデータパターンであるとする。

【0115】CPU313は、この不正パターンを検出することによって、I/Oコントローラ315内のFIFOにおいて不正アクセスが発生したことを知ることができる。

【0116】CPU313は、I/Oコントローラ315内のレジスタR<sub>0</sub>～R<sub>3</sub>の内容を読み出す場合には、例えば図6の動作フローチャートで示されるデータ受信プログラムを実行する。このプログラムは、図3のプログラムRAM317に記憶されている。

【0117】まず、CPU313は、CPUバス302のアドレスバスを介してアドレスデコード509に、例えばレジスタR<sub>0</sub>をアクセスするためのレジスタアドレスをセットし、CPUバス302の制御バスに読出し指示を出力する（ステップS601）。

【0118】制御回路507は、CPU313からの上述の読出し指示が発生すると、内部のアービタ回路508において、書込み信号FIFOWをチェックすることによって、CPU313からの読出し指示とネットワーク制御回路310からの書込み指示が同時に発生していないか否かを判定し、アクセスの競合が発生した場合にはその調停を行う。

【0119】制御回路507がCPU313からの読出

し指示を受け付けると、アドレスデコーダ509からセクタ510に、デコード出力RDEC<sub>0</sub>が出力され、セクタ510は、レジスタR<sub>0</sub>の出力を選択する。

【0120】この結果、上述のCPU313からのアクセスが不正アクセスでなければ、レジスタR<sub>0</sub>の出力が、セクタ510、511、バッファ513からCPUバス302のデータバスに出力される。一方、上述のCPU313からのアクセスが不正アクセスである場合には、前述したように、エラー検出信号thruがアサートされることにより、セクタ511は、セクタ510の出力ではなく、レジスタ512に保持されているオール“1”の不正パターンを選択し、バッファ513を介してCPUバス302のデータバスに出力する。

【0121】CPU313は、上述のCPUバス302のデータバスに出力されたレジスタの内容を読み出す(ステップS602)。続いて、CPU313は、上述のデータが、正しいデータであるか否か、即ち不正パターンであるか否かを判別する(ステップS602)。

【0122】そのデータが不正パターンでなければ、レジスタアドレスを1増加させ、CPUバス302のアドレスバスを介してアドレスデコーダ509に、例えば次のレジスタR<sub>1</sub>をアクセスするためのレジスタアドレスをセットし、CPUバス302の制御バスに読出し指示を出力して、そのレジスタをアクセスする(ステップS604→S602)。なお、前回のレジスタアドレスがレジスタR<sub>3</sub>をアクセスするアドレスであった場合は、次のレジスタアドレスは例えばレジスタR<sub>0</sub>をアクセスするアドレスとされる。

【0123】一方、読み出したデータが不正パターンである場合には、CPU313は、CPUバス302のアドレスバスを介してアドレスデコーダ509に、カウントチェック回路506をアクセスするアドレスを指定することにより、アドレスデコーダ509からの特には図示しないデコード出力に基づいて、セクタ510、511、バッファ513からCPUバス302のデータバスを介して、カウントチェック回路506内の3ビット有効データカウンタ505のカウント値を取得し、このカウント値が4を越えているか否か、即ち、オーバーフローが発生しているか否かを判別する(ステップS605)。

【0124】ステップS605において、オーバーフローが発生していると判別された場合には、レジスタR<sub>0</sub>～R<sub>3</sub>の内容がCPU313によって読み出される前にネットワーク制御回路310からレジスタR<sub>0</sub>～R<sub>3</sub>の何れかに上書きがされてしまっているため、CPU313は、ネットワーク制御回路310に前述した送信結果通知又は受信結果通知のデータの再送要求等のエラー処理を実行する(ステップS606)。

【0125】一方、ステップS605において、オーバーフローが発生していないと判別された場合には、CP

U313は、自分がレジスタR<sub>x</sub>に有効なデータが書き込まれていない状態でそのレジスタの内容を読み出そうとしたと判別できるため、適当なタイミングをとった後に、そのレジスタを再びアクセスする(ステップS605→S602)。

【0126】なお、CPU313は、CPUバス302のアドレスバスを介してアドレスデコーダ509に、#Xのフラグ回路504内のD-FF<sub>x</sub>をアクセスするアドレスを指定することにより、アドレスデコーダ509からの特には図示しないデコード出力に基づいて、セクタ510、511、バッファ513からCPUバス302のデータバスを介して、D-FF<sub>x</sub>の出力DFF<sub>x</sub>の値を随時読み出すことができる。

【0127】また、CPU313は、例えばステップS606のエラー処理において、CPUバス302のアドレスバスを介してリセット用アドレスを出力することによって、アドレスデコーダ509からの特には図示しない出力に基づいて、#0～#3のフラグ回路504内のD-FF<sub>0</sub>～D-FF<sub>3</sub>の内容と、書き込み用2ビットカウンタ502の内容、及びカウントチェック回路506内の3ビット有効データカウンタ505の内容を、それぞれリセットすることができる。この状態におけるデコーダ503の出力においては、WDEC<sub>0</sub>がアサートされる。

【0128】以上のCPU313によるI/Oコントローラ315のアクセス形態においては、図6に示されるように、CPU313は、最初にレジスタR<sub>0</sub>～R<sub>3</sub>の内容をアクセスし、データが不正パターンであったなら、更に、オーバーフローが発生しているか否かをチェックしている。

【0129】このアクセス形態は、ネットワーク制御回路310からの送信結果通知又は受信結果通知のデータの書き込みの頻度が高い場合においては、CPU313がレジスタR<sub>x</sub>をアクセスしたときにそこに読めるデータが存在する可能性が高いために、FIFOへのアクセスがデータあたり約1回になる。従って、このアクセス形態は、CPU313からFIFOへのアクセスに時間がかかる場合に特に有効である。

【0130】これに対して、ネットワーク制御回路310からデータがあまり書き込まれず、上述のアクセス形態でレジスタR<sub>x</sub>をアクセスすると、レジスタR<sub>x</sub>にデータが存在せずにそのレジスタに対応する#Xのフラグ回路504内のD-FF<sub>x</sub>の出力値DFF<sub>x</sub>の論理が“0”となる頻度が高くなる場合には、先にD-FF<sub>x</sub>の内容を読み出し、出力値DFF<sub>x</sub>の論理が“1”となっている場合にそれに対応するレジスタR<sub>x</sub>をアクセスするようにすれば、無駄なアクセスをなくすることができる。

【0131】また、図5に示される実施例では、レジスタ512に予めオール“1”の不正パターンが保持され

ているが、CPU 3 1 3がこのレジスタ 5 1 2に任意の不正パターンを書き込めるように構成することにより、書込み側の装置（ネットワーク制御回路 3 1 0）が変更された場合においても、その書込み側の装置が出力しないような不正パターンを設定することができる。

【0 1 3 2】更に、不正パターンは、レジスタ 5 1 2を介して出力されるが、レジスタ 5 1 2をなくして、レジスタ 5 1 0に直接このレジスタ 5 1 2の出力を選択させるように構成してもよい。

【0 1 3 3】

【発明の効果】本発明によれば、読出し装置は、有効データカウンタ手段のカウント値を読み出すことにより、ファーストインファーストアウトバッファにおいてデータのオーバーフローが発生したことを知ることが可能となる。

【0 1 3 4】また、読出し装置は、フラグ保持手段の各フラグ値を読み出すことにより、ファーストインファーストアウトバッファ内の有効な転送データへのアクセスが行われたか否かを知ることが可能となる。

【0 1 3 5】更に、上述のような不正なアクセスが行われた場合に不正データ出力手段が不正データを出力するように構成されることにより、読出し装置は、ファーストインファーストアウトバッファから出力されるアクセス結果が不正データであるか否かを判別することで、簡単に不正アクセスを判別することが可能となる。

【0 1 3 6】一方、読出し装置は、ファーストインファーストアウトバッファをアクセスする場合に、まず、レジスタ手段へのアクセスを行った結果出力される出力値が不正データであるか否かを判別し、不正データでなければ次のアクセスを行うことにより、書込み装置からの転送データの書込みの頻度が高い場合に、効率的なアクセスを行うことが可能となる。

【0 1 3 7】また、読出し装置は、ファーストインファーストアウトバッファをアクセスする場合に、先にフラ

グ保持手段が保持する各フラグ値を読み出し、第 1 の値を有するフラグに対応するレジスタ手段をアクセスすることにより、書込み装置からの転送データの書込みの頻度が低い場合に、ファーストインファーストアウトバッファへの無駄なアクセスをなくすることが可能となる。

【図面の簡単な説明】

【図 1】本発明のブロック図である。

【図 2】本発明の実施例が適用されるネットワークの構成図である。

10 【図 3】本発明の実施例におけるメッセージ通信装置の構成図である。

【図 4】メッセージ通信の説明図である。

【図 5】送信結果通知又は受信結果通知を処理する I/O コントローラの部分の構成図である。

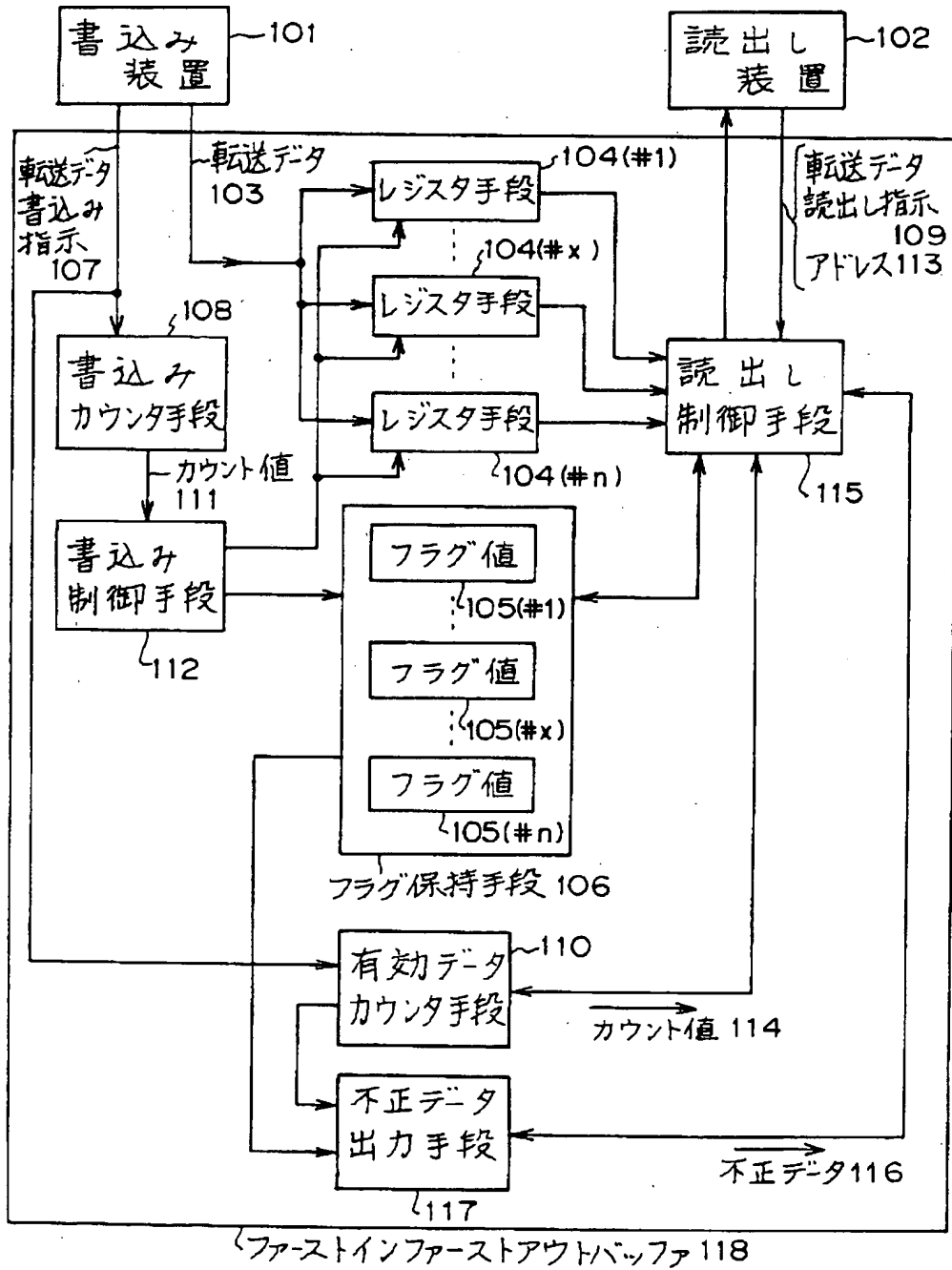
【図 6】CPU がレジスタ R<sub>0</sub> ~ R<sub>3</sub> の内容を読み出す場合の動作フローチャートである。

【符号の説明】

1 0 1	書込み装置
1 0 2	読出し装置
1 0 3	転送データ
1 0 4	レジスタ手段
1 0 5	フラグ値
1 0 6	フラグ保持手段
1 0 7	転送データ書込み指示
1 0 8	書込みカウンタ手段
1 0 9	転送データ読出し指示
1 1 0	有効データカウンタ手段
1 1 1、1 1 4	カウント値
1 1 2	書込み制御手段
30 1 1 3	アドレス
1 1 5	読出し制御手段
1 1 6	不正データ
1 1 7	不正データ出力手段
1 1 8	ファーストインファーストアウトバッファ

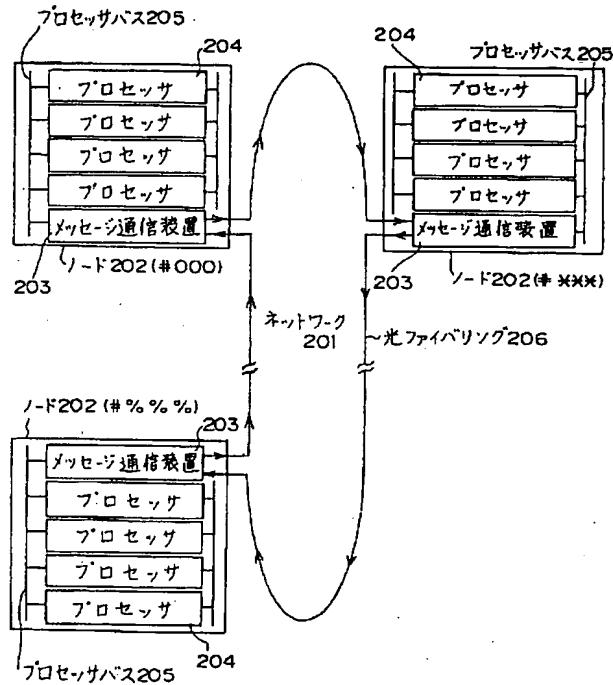
【図1】

## 本発明のブロック図



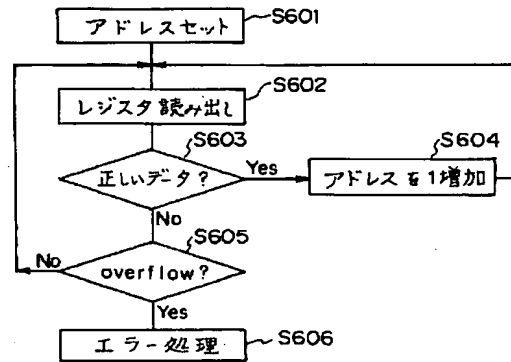
【図 2】

本発明の実施例が適用されるネットワークの構成図



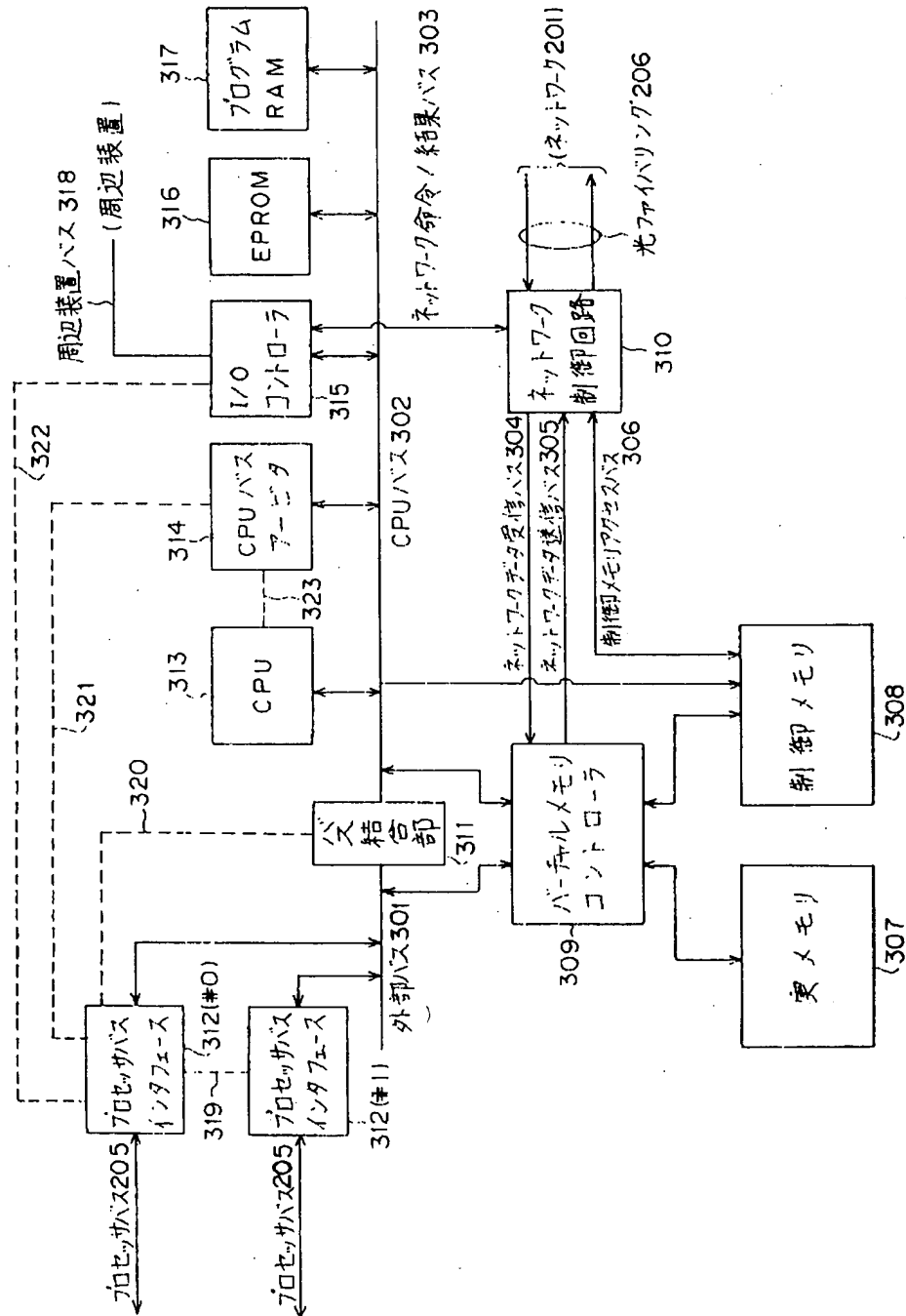
【図 6】

CPUがレジスタR0~R3の内容を読み出す場合の動作フローチャート



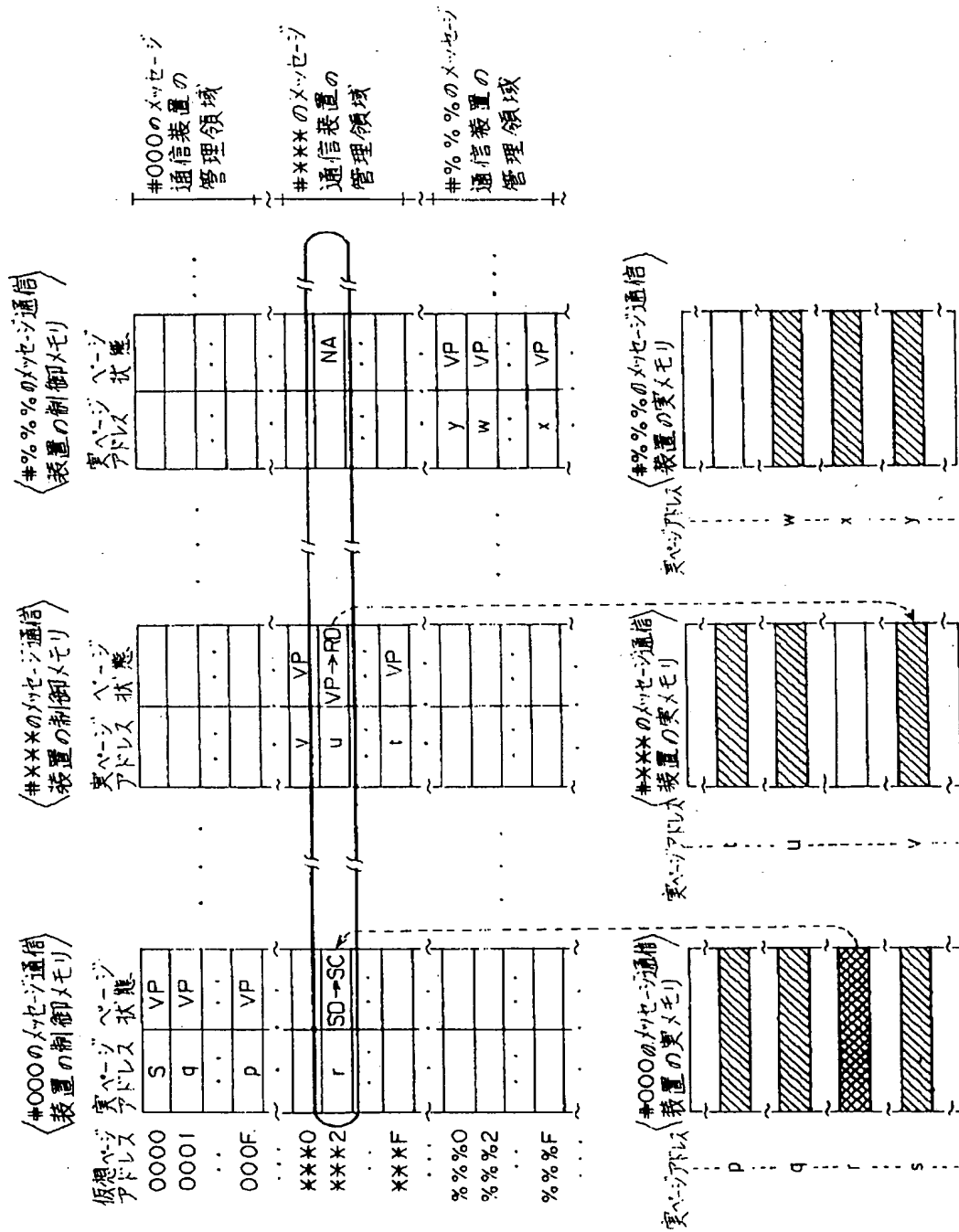
【図3】

本発明の実施例における  
メッセージ通信装置の構成図



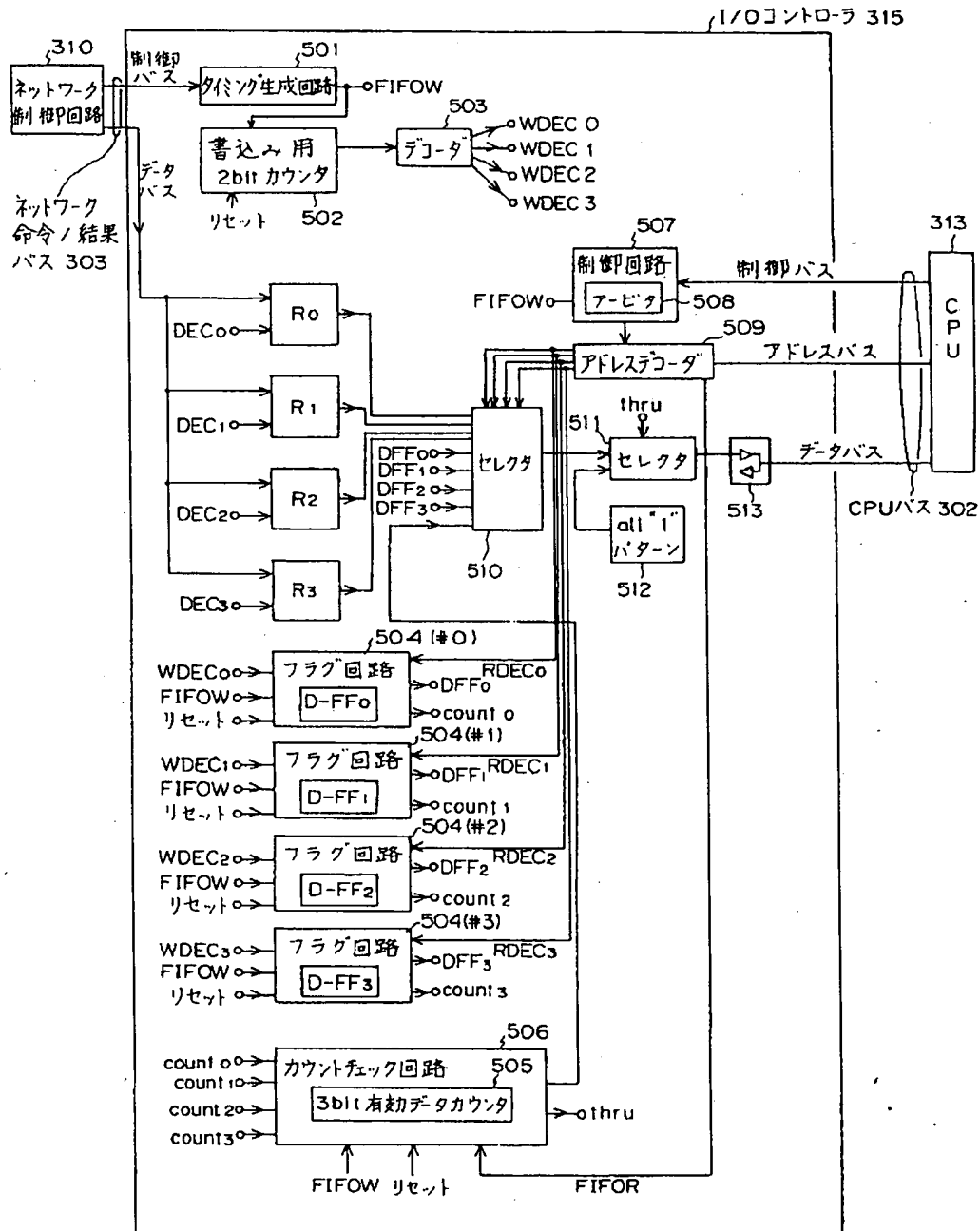


## メッセージ通信の説明図



【図5】

送信結果通知又は受信結果通知を処理するI/Oコントローラの部分の構成図



フロントページの続き

(51) Int. Cl. <sup>5</sup>

H 0 4 L 12/42

識別記号

庁内整理番号

F I

技術表示箇所